

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-156935

(43)Date of publication of application : 31.05.2002

(51)Int.Cl.

G09G 3/20

G02F 1/133

G09G 3/36

(21)Application number : 2000-352405

(71)Applicant : OKI ELECTRIC IND CO LTD
OKI MICRO DESIGN CO LTD

(22)Date of filing : 20.11.2000

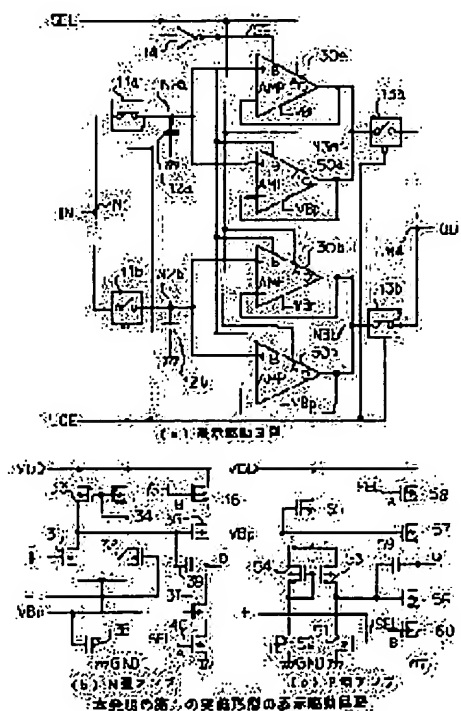
(72)Inventor : IKEDA JUNICHI

(54) DISPLAY DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display driving circuit having low power consumption.

SOLUTION: When a switch 11a is closed by a system selection signal LOE, input signals IN are held in a capacitor 12a and given to an N type amplifier 30a and a P type amplifier 50a. The output stage of the amplifier 30a is provided with switching transistors PMOS 38 and NMOS 40 which are turned on/off by output selection signals /SEL and SEL. The output stage of the amplifier 50a is provided with switching transistors PMOS 58 and NMOS 60 that are turned on/off by the output selection signals SEL and /SEL. Thus, either one of the amplifier 30a or the amplifier 50a is selected by the signals SEL. When a switch 13a is closed by the signal LOE, output signals OUT are outputted from the selected amplifier. Thus, the power consumption is reduced compared with a conventional push-pull type amplifier.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) IntCl. ⁷	識別記号	F I	テ-マ-ド (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B 2 H 0 9 3
	6 1 1		6 2 3 L 5 C 0 0 6
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	6 1 1 A 5 C 0 8 0
	5 5 0		5 0 5
			5 5 0

審査請求 未請求 請求項の数 2 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-352405 (P2000-352405)

(22) 出願日 平成12年11月20日 (2000.11.20)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(71) 出願人 591049893

株式会社 沖マイクロデザイン

宮崎県宮崎郡清武町大字木原7083番地

(72) 発明者 池田 淳一

宮崎県宮崎郡清武町大字木原7083番地 株式会社沖マイクロデザイン内

(74) 代理人 100086807

弁理士 柿本 恭成

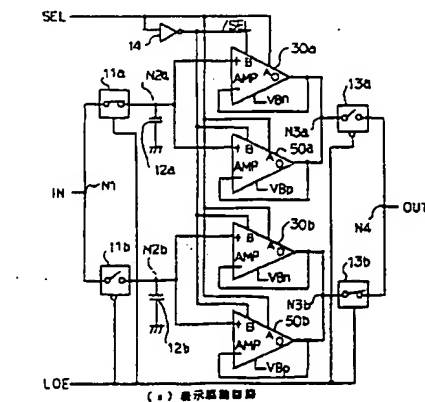
最終頁に続く

(54) 【発明の名称】 表示駆動回路

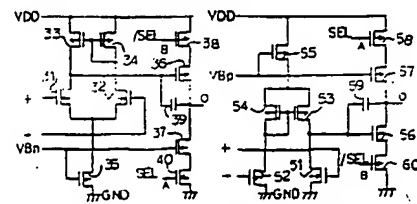
(57) 【要約】

【課題】 消費電力の少ない表示駆動回路を提供する。

【解決手段】 系統選択信号 L O E によってスイッチ 1 1 a が閉じられると、入力信号 I N はキャパシタ 1 2 a に保持され、N 型アンプ 3 0 a と P 型アンプ 5 0 a に与えられる。N 型アンプ 3 0 a の出力段は、出力選択信号 / S E L、S E L でオン/オフされるスイッチ用のトランジスタ P M O S 3 8、N M O S 4 0 を備え、P 型アンプ 5 0 a の出力段は、出力選択信号 S E L、/ S E L でオン/オフされるスイッチ用のトランジスタ P M O S 5 8、N M O S 6 0 を備えている。従って、出力選択信号 S E L によって N 型アンプ 3 0 a か P 型アンプ 5 0 a のいずれか一方が選択される。系統選択信号 L O E によってスイッチ 1 3 a が閉じられると、選択されたアンプから出力信号 O U T が出力される。これにより、従来のプッシュプル型のアンプに比べて消費電力が低減できる。



(a) 表示駆動回路

(b) N 型アンプ (a) P 型アンプ
本発明の第 1 の実施形態の表示駆動回路

【特許請求の範囲】

【請求項1】 系統選択信号によって第1の系統が指定されたときに、入力ノードの画像信号を入力して保持する第1のサンプルホールド手段と、前記系統選択信号によって第2の系統が指定されたときに、前記入力ノードの画像信号を入力して保持する第2のサンプルホールド手段と、前記第1及び第2のサンプルホールド手段で保持された画像信号をそれぞれ増幅する第1及び第2の増幅手段と、前記系統選択信号によって第1の系統が指定されたときに前記第2の増幅手段の出力信号を出力ノードに出力し、該系統選択信号によって第2の系統が指定されたときに前記第1の増幅手段の出力信号を該出力ノードに出力する出力手段とを備えた表示駆動回路において、

前記第1及び第2の各増幅手段は、

出力選択信号が第1の値の時にオン状態となり第2の値の時にオフ状態となるスイッチ用のトランジスタ、入力信号のレベルに応じて導通状態が変化するP型トランジスタ、及び一定の電流を流すN型トランジスタを直列に接続した出力段を有する第1の増幅器と、

前記第1の増幅器に並列に接続され、前記出力選択信号が第1の値の時にオフ状態となり第2の値の時にオン状態となるスイッチ用のトランジスタ、一定の電流を流すP型トランジスタ、及び入力信号のレベルに応じて導通状態が変化するN型トランジスタを直列に接続した出力段を有する第2の増幅器とを、備えたことを特徴とする表示駆動回路。

【請求項2】 請求項1記載の表示駆動回路における第1及び第2の各増幅手段に、入力信号を基準電圧と比較して、該入力信号が該基準電圧以上の時に前記第1の値の出力選択信号を出力し、該信号レベルが該基準電圧未満の時に前記第2の値の出力選択信号を出力する比較器を設けたことを特徴とする表示駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば液晶表示装置等において、入力信号をサンプリングして保持し、その保持内容に基づいて表示装置を駆動する表示駆動回路に関するものである。

【0002】

【従来の技術】 図2(a)、(b)は、従来の液晶表示装置の概略の構成図であり、同図(a)は全体構成を、同図(b)は表示駆動部の構成を示す図である。図2

(a)に示すように、この液晶表示装置は、RGBデコーダ1、表示制御部2、反転増幅部3、増幅部4、走査駆動部5、表示駆動部6及び液晶パネル7で構成されている。RGBデコーダ1は、与えられた映像信号VSを色信号とコンポジット同期信号に分離し、色信号からR(赤)、G(緑)、B(青)の3種類の信号を生成すると共に、コンポジット同期信号から水平及び垂直の同期

信号SYNを生成するものである。同期信号SYNは表示制御部2に与えられ、色信号RGBは反転増幅部3に与えられるようになっている。

【0003】 表示制御部2は、同期信号SYNに基づいて、フィールドライン毎に極性が反転するフィールドライン反転信号FRP、走査駆動部5の動作を制御するための垂直制御信号VER、及び表示駆動部6の動作を制御するための水平制御信号HORを生成するものである。フィールドライン反転信号FRPは、反転増幅部3と増幅部4に与えられるようになっている。

【0004】 反転増幅部3は、RGBデコーダ1から与えられる色信号RGBの極性を1フレーム毎に反転して反転信号/RGBを生成し、表示駆動部6に供給するものである。増幅部4は、表示制御部2から供給されるフィールドライン反転信号FRPに従って、コモン電圧信号VCMの極性を1フィールド毎、1水平期間毎に反転して液晶パネル7に供給するものである。

【0005】 走査駆動部5は、表示制御部2から供給される垂直制御信号VERに従って、液晶パネル7のゲートラインGLを順次選択し、その選択したゲートラインGLにゲートパルスを印加するものである。表示駆動部6は、表示制御部2から供給される水平制御信号HORに従って、反転増幅部3から供給される反転信号/RGBを1ライン分サンプリング及びホールディングし、そのホールディングした画像信号を1ライン単位で並列に、液晶パネル7の信号ラインDLに出力するものである。

【0006】 液晶パネル7は、i行j列のマトリックス状に配置された画素電極、TFT(Thin Film Transistor)及び該画素電極に液晶を介して対向する共通電極を備えている。各画素電極は、対応するTFTを介して対応する信号ラインDLに接続されている。また、各列のTFTのゲートは、共通するゲートラインGLに接続されている。液晶パネル7は、ゲートラインGLと信号ラインDLを通じて、画素電極と共通電極と液晶とで形成される画素容量C_{LC}に電荷を充電することにより、液晶の向きを制御して画像を表示するようになっている。

【0007】 図2(b)に示すように、表示駆動部6は、CK発生/遅延回路6a、シフトレジスタ6b、レベルシフタ6c、サンプルホールド群6d、アンプ群6e及びバイアス回路6fで構成されている。

【0008】 CK発生/遅延回路6aは、表示制御部2から供給される基本クロック信号MCKに基づいて、1ライン上の各画素を選択するサンプリングクロックCKを生成してシフトレジスタ6bに供給するものである。またCK発生/遅延回路6aは、表示制御部2から供給されるデータライン開始信号STRに従って、シフト動作開始のタイミングを示すスタートパルスSTを生成してシフトレジスタ6bに供給するようになっている。

【0009】 シフトレジスタ6bは、液晶パネル7の信

号ラインDLの数nに対応するnビットのシフトレジスタである。シフトレジスタ6bは、サンプリングクロックCKに従ってスタートパルスSTを取り込むと共に順次シフトし、1走査ライン上の第1～第n表示ドット用の映像信号のサンプリングタイミングを示すサンプリングパルスを生成して、レベルシフト6cに並列に出力するものである。レベルシフト6cは、シフトレジスタ6bから供給されたサンプリングパルスを、論理回路系の電圧レベルから駆動回路系の電圧レベルに変換してサンプル/ホールド群6dに供給するものである。

【0010】サンプル/ホールド群6dは、液晶パネル7の各信号ラインDLに対応するn個のサンプル/ホールド回路で構成されている。サンプル/ホールド回路は2系統の回路を備え、系統選択信号LOEに従って交互に動作し、レベルシフト6cを介して供給されるサンプリングパルスに従って反転信号/RGBをサンプリングし、そのサンプリングした信号を保持するものである。

【0011】アンプ群6eは、サンプル/ホールド群6dの各サンプル/ホールド回路に対応するn個のアンプ回路で構成される。アンプ回路は2系統の回路を備え、対応するサンプル/ホールド回路の各系統の出力側に接続されている。アンプ回路は、いずれか1系統が動作し、サンプル/ホールド回路が保持している画像信号を増幅して、液晶パネル7の信号ラインDLに出力するものである。バイアス回路6fは、アンプ群6eの各アンプ回路に、バイアス電圧VBを供給するものである。

【0012】図3(a)、(b)は、図2中の表示駆動回路の構成図である。この表示駆動回路は、図2(b)におけるサンプル/ホールド群6dとアンプ群6eのサンプル/ホールド回路とアンプ回路に対応している。図3(a)は表示駆動回路のブロック構成を、同図(b)は同図(a)中のアンプの構成を示している。

【0013】図3(a)に示すように、この表示駆動回路は1本の信号ラインDLに対応する回路であり、入力電圧INが与えられるスイッチ11a、11bを有している。スイッチ11a、11bは、系統選択信号LOEによって相補的にオン/オフ状態が制御されるもので、これらの出力側と接地電位GNDとの間に、それぞれ電圧保持用のキャパシタ12a、12bが接続されている。更に、スイッチ11a、11bの出力側は、それぞれアンプ(AMP)20a、20bの入力側に接続されている。

【0014】アンプ20a、20bの出力側は、それぞれスイッチ13a、13bの入力側に接続されている。スイッチ13a、13bは、系統選択信号LOEによってオン/オフ状態が制御されるもので、スイッチ11aがオンの時にスイッチ13bがオンになり、スイッチ11bがオンの時にスイッチ13aがオンに制御されるようになっている。そして、スイッチ13a、13bの出力側が共通接続され、ここから出力信号OUTが出力さ

れるようになっている。

【0015】アンプ20a、20bは同一構成で、図3(b)に示すように、+入力端子と-入力端子を有し、これらの入力端子がそれぞれNチャンネルMOSトランジスタ(以下、「NMOS」という)21、22のゲートに接続されている。NMOS21、22のドレインは、それぞれPチャンネルMOSトランジスタ(以下、「PMOS」という)23、24を介して電源電位VDDに接続されている。PMOS23、24のゲートは、NMOS22のドレインに接続されている。NMOS21、22のソースは、NMOS25を介して接地電位GNDに接続されている。

【0016】NMOS21のドレインは、NMOS26のゲートに接続され、このNMOS26のドレインは電源電位VDDに接続されている。NMOS26のソースは、NMOS27を介して接地電位GNDに接続されている。NMOS27、25のゲートには、バイアス電圧VBが与えられている。

【0017】NMOS21のドレインは、更に出力バッファであるPMOS28のゲートに接続されている。PMOS28のソースは電源電位VDDに接続され、ドレインはプッシュプル型の出力バッファを構成するNMOS29を介して接地電位GNDに接続されている。

【0018】NMOS29のゲートは、NMOS26のソースに接続されており、このNMOS29のドレインとPMOS28のドレインの接続箇所が、アンプの出力端子Oとなっている。

【0019】このような表示駆動回路において、系統選択信号LOEがレベル“H”のとき、スイッチ11a、13bが閉じ、スイッチ11b、13aが開く。これにより、入力電圧INがキャパシタ12aに印加される。キャパシタ12aに充電された入力電圧INはアンプ20aで増幅され、このアンプ20aの出力端子に出力電圧INに対応した電圧が出力される。しかし、スイッチ13aは開いているので、アンプ20aの出力電圧は、出力信号OUTとしては出力されない。一方、キャパシタ12bに充電されている電圧がアンプ20bで増幅され、このアンプ20bの出力端子からスイッチ13bを介して出力信号OUTが出力される。

【0020】次に、系統選択信号LOEがレベル“L”に変化すると、スイッチ11a、13bが開き、スイッチ11b、13aが閉じる。これにより、キャパシタ12aは入力電圧INから切り離され、このキャパシタ12aに充電されてアンプ20aで増幅された前の入力電圧INに対応する電圧が、スイッチ13aを介して出力電圧OUTとして出力される。一方、キャパシタ12bには新しい入力電圧INが印加され、アンプ20bの出力側にはこの新しい入力電圧INに対応する電圧が出力される。

【0021】このように、2系統のサンプル/ホールド

10

20

30

40

50

回路とアンプ回路を設け、系統選択信号LOEによって2系統を交互に切り替えてサンプリングと駆動を行うようにしている。これにより、キャパシタ12a、12bの充電時間に影響されず、常に液晶パネル7を駆動することができるので、応答速度が速くかつ輝度の高い表示をすることができる。

【0022】

【発明が解決しようとする課題】しかしながら、従来の表示駆動回路では、次のような課題があった。アンプ回路に用いられるアンプ20a、20bは、図3(b)に示すように、出力段がPMOS28とNMOS29で構成されるブッシュブル型となっている。ブッシュブル型のアンプ回路では、出力段の直列接続された2つのトランジスタ(PMOS28とNMOS29)のゲート電圧が常時変化することによって、これらのトランジスタを貫通して流れる電流値が随時変化し、そのバランスによって出力端子Oに出力信号が出力される。このように、ブッシュブル型のアンプ回路では、PMOS28とNMOS29の2つのバッファ用のトランジスタに常にアイドル電流が流れ、消費電力が大きくなるという課題があ

った。
【0023】本発明は、前記従来技術が持っていた課題を解決し、消費電力の少ない表示駆動回路を提供するものである。

【0024】

【課題を解決するための手段】前記課題を解決するために、本発明の内の第1の発明は、系統選択信号によって第1の系統が指定されたときに、入力ノードの画像信号を入力して保持する第1のサンプルホールド手段と、前記系統選択信号によって第2の系統が指定されたときに、前記入力ノードの画像信号を入力して保持する第2のサンプルホールド手段と、前記第1及び第2のサンプルホールド手段で保持された画像信号をそれぞれ増幅する第1及び第2の増幅手段と、前記系統選択信号によって第1の系統が指定されたときに前記第2の増幅手段の出力信号を出力ノードに出力し、該系統選択信号によって第2の系統が指定されたときに前記第1の増幅手段の出力信号を該出力ノードに出力する出力手段とを備えた表示駆動回路において、第1及び第2の各増幅手段は、次のような第1及び第2の増幅器を備えている。

【0025】即ち、第1の増幅器は、出力選択信号が第1の値の時にオン状態となり第2の値の時にオフ状態となるスイッチ用のトランジスタ、入力信号のレベルに応じて導通状態が変化するP型トランジスタ、及び一定の電流を流すN型トランジスタを直列に接続した出力段を有している。また、第2の増幅器は、第1の増幅器に並列に接続され、前記出力選択信号が第1の値の時にオフ状態となり第2の値の時にオン状態となるスイッチ用のトランジスタ、一定の電流を流すP型トランジスタ、及び入力信号のレベルに応じて導通状態が変化するN型ト

ランジスタを直列に接続した出力段を有している。

【0026】第1の発明によれば、以上のように表示駆動回路を構成したので、次のような作用が行われる。出力選択信号が第1の値の時には、各増幅手段内の第1の増幅器のスイッチ用のトランジスタがオン状態になり、サンプルホールド手段で保持された画像信号が、この第1の増幅器で増幅される。出力選択信号が第2の値の時には、各増幅手段内の第2の増幅器のスイッチ用のトランジスタがオン状態になり、サンプルホールド手段で保持された画像信号が、この第2の増幅器で増幅される。

【0027】第2の発明は、第1の発明の表示駆動回路における第1及び第2の各増幅手段に、入力信号を基準電圧と比較して、該入力信号が該基準電圧以上の時に前記第1の値の出力選択信号を出力し、該信号レベルが該基準電圧未満の時に該前記第2の値の出力選択信号を出力する比較器を設けている。

【0028】第2の発明によれば、次のような作用が行われる。各増幅手段において、サンプルホールド手段で保持された画像信号が比較器で比較され、基準電圧以上であれば第1の値の出力選択信号が出力される。これにより、画像信号は増幅手段内の第1の増幅器で増幅される。また、画像信号が基準電圧未満であれば、比較器から第2の値の出力選択信号が出力され、この画像信号は増幅手段内の第2の増幅器で増幅される。

【0029】

【発明の実施の形態】(第1の実施形態)図1(a)～(c)は、本発明の第1の実施形態を示す表示駆動回路の構成図であり、同図(a)はこの表示駆動回路のブロック構成を、同図(b)、(c)はそれぞれ同図(a)中のN型アンプとP型アンプの回路を示している。この表示駆動回路は、図2の液晶表示装置における表示駆動部6中で、図3の表示駆動回路に代えて用いられるもので、図3中の要素と共通の要素には共通の符号が付されている。

【0030】図1(a)に示すように、この表示駆動回路は、入力電圧1Nが与えられるノードN1に、スイッチ11a、11bの入力側が共通に接続されている。スイッチ11a、11bは、トランスファゲート等のスイッチ用のトランジスタで構成され、系統選択信号LOEによって相補的にオン/オフ状態が制御されるものである。例えば、系統選択信号LOEが“H”の時、スイッチ11a、11bは、それぞれオン、オフとなるように設定されている。スイッチ11a、11bの出力側は、それぞれノードN2a、N2bに接続され、これらのノードN2a、N2bと接地電位GNDとの間には、それぞれ電圧保持用のキャパシタ12a、12bが接続されている。

【0031】ノードN2aには、ボルテージファロア接続されたN型アンプ30aとP型アンプ50aの+入力端子が接続され、これらのN型アンプ30aとP型アン

10

20

30

40

50

ブ50aの出力端子が、ノードN3aに接続されている。同様に、ノードN2bには、ボルテージファロア接続されたN型アンプ30bとP型アンプ50bの+入力端子が接続され、これらのN型アンプ30bとP型アンプ50bの出力端子が、ノードN3bに接続されている。

【0032】N型アンプ30a、30bは同じ構成で、出力選択信号SELとこれをインバータ14で反転した出力選択信号／SELがそれぞれ与えられる制御端子A、Bと、バイアス電圧VBnが与えられるバイアス端子を有している。また、P型アンプ50a、50bは同じ構成で、それぞれ出力選択信号SEL、／SELが与えられる制御端子A、Bと、バイアス電圧VBpが与えられるバイアス端子を有している。

【0033】ノードN3a、N3bには、それぞれスイッチ13a、13bの入力側が接続され、これらのスイッチ13a、13bの出力側が、ノードN4に接続されている。スイッチ13a、13bは、スイッチ11a、11bと同様のもので、系統選択信号LOEが“H”の時、それぞれオフ、オンとなるように設定されている。そして、ノードN4から出力信号OUTが出力されるようになっている。

【0034】図1(b)に示すように、N型アンプ30a、30bは+入力端子と-入力端子を有し、これらの入力端子が差動増幅回路を構成するNMOS31、32のゲートに、それぞれ接続されている。NMOS31、32のドレインは、それぞれPMOS33、34を介して電源電位VDDに接続されている。PMOS33、34のゲートは、NMOS32のドレインに接続されている。NMOS31、32のソースは、定電流回路を構成するNMOS35を介して接地電位GNDに接続されている。

【0035】NMOS31のドレインは、動作用のPMOS36のゲートに接続され、このPMOS36のソースは、定電流回路を構成するNMOS37と、出力選択信号SELで制御されるスイッチ用のNMOS40を介して接地電位GNDに接続されている。PMOS36のドレインは、出力選択信号／SELで制御されるスイッチ用のPMOS38を介して電源電位VDDに接続されている。NMOS35、37のゲートには、バイアス電圧VBnが与えられている。PMOS36のゲートとドレイン間には位相補償用のキャパシタ39が接続され、このPMOS36のドレインがN型アンプの出力端子Oとなっている。

【0036】図1(c)に示すように、P型アンプ50a、50bは-入力端子と+入力端子を有し、これらの入力端子が差動増幅回路を構成するNMOS51、52のゲートに、それぞれ接続されている。NMOS51、52のソースは接地電位GNDに接続され、これらのNMOS51、52のドレインは、それぞれPMOS5

3、54のドレインに接続されている。PMOS53、54のゲートはNMOS52のドレインに接続され、ソースは定電流回路を構成するPMOS55を介して電源電位VDDに接続されている。

【0037】NMOS51のドレインは、動作用のNMOS56のゲートに接続され、このNMOS56のソースは、出力選択信号SELで制御されるスイッチ用のNMOS60を介して接地電位GNDに接続されている。NMOS56のドレインは、定電流回路を構成するPMOS57のドレインに接続され、このPMOS57のソースが、出力選択信号SELで制御されるスイッチ用のPMOS58を介して電源電位VDDに接続されている。PMOS55、57のゲートには、バイアス電圧VBpが与えられている。NMOS56のゲートとドレイン間には位相補償用のキャパシタ59が接続され、このNMOS56のドレインがP型アンプの出力端子Oとなっている。

【0038】次に、動作を説明する。この表示駆動回路において、系統選択信号LOEは、1水平走査期間毎に“H”、“L”のレベルが切り替えられる。

【0039】系統選択信号LOEが“H”の期間には、スイッチ11a、13bがオンになり、スイッチ11b、13aがオフになる。これにより、ノードN1とノードN2aが接続されて、入力電圧INがキャパシタ12aに保持される。また、ノードN2bがノードN1から切り離されると共に、ノードN3bがノードN4に接続され、前の期間にキャパシタ12bに保持されていた電圧が、N型アンプ30bまたはP型アンプ50bで増幅されてノードN4から出力信号OUTとして出力される。

【0040】次に、系統選択信号LOEが“L”になると、スイッチ11a、13bがオフになり、スイッチ11b、13aがオンになる。これにより、ノードN2aがノードN1から切り離されると共に、ノードN3aがノードN4に接続され、系統選択信号LOEが“H”の期間にキャパシタ12aに保持された電圧が、N型アンプ30aまたはP型アンプ50aで増幅されてノードN4から出力信号OUTとして出力される。また、ノードN1とノードN2bが接続されて、入力電圧INがキャパシタ12bに保持される。

【0041】一方、出力選択信号SELは、1水平走査期間の周期よりも短い周期で、“H”、“L”が切り替えられる。

【0042】出力選択信号SELが“H”の場合、N型アンプ30a、30bでは、図1(b)に示すように、出力選択信号SELがNMOS40のゲートに、出力選択信号／SEL（即ち、“L”）がPMOS38のゲートに印加される。これにより、PMOS38及びNMOS40はオン状態となる。一方、P型アンプ50a、50bでは、図1(c)に示すように、出力選択信号SE

LがPMOS58のゲートに、出力選択信号SELがNMOS60のゲートに印加されるので、これらのPMOS58、NMOS60はオフ状態となる。従って、N型アンプ30a、30bは動作可能な状態となり、P型アンプ50a、50bの動作は停止させられる。

【0043】逆に出力選択信号SELが“L”の場合、P型アンプ50a、50bが動作可能な状態となり、N型アンプ30a、30bの動作は停止させられる。

【0044】以上のように、この第1の実施形態の表示駆動回路は、N型アンプ30a（または30b）とP型アンプ50a（または50b）を並列に接続し、出力選択信号SEL、SELによっていずれか一方のみを動作させるように構成している。N型アンプ30a、30bは、出力段のNMOS37がバイアス電圧VBnによって一定電流を流す定電流源となり、PMOS36が出力電圧を決定する動作のバッファとなっている。また、P型アンプ50a、50bは、出力段のPMOS57がバイアス電圧VBpによって一定電流を流す定電流源となり、NMOS56が出力電圧を決定する動作のバッファとなっている。従って、これらの出力段の電流は、定電流源によって決められる。このため、2つのバッファが絶えず動作するプッシュプル型のアンプよりも、出力段の電流の抑制、即ち消費電力の低減が期待される。

【0045】（第2の実施形態）図4は、本発明の第2の実施形態を示す表示駆動回路の構成図である。この表示駆動回路は、図1の表示駆動回路と同様に、図2の液晶表示装置における表示駆動部6中で、図3の表示駆動回路に代えて用いられるものである。この図4において、図1中の要素と共通の要素には共通の符号が付されている。

【0046】図4に示すように、この表示駆動回路では、比較器（CMP）15a、15bを設け、N型アンプ30a、30bとP型アンプ50a、50bの制御端子に、これらの比較器15a、15bの比較結果の信号を、出力選択信号CA、CACB、CBとして与えるようにしている。

【0047】即ち、比較器15aは、分圧用の抵抗16、17で分圧して生成された基準電圧VRとノードN2aの電圧を比較して、その比較結果を出力選択信号CAとしてN型アンプ30aとP型アンプ50aの制御端子Aに与えるものである。更に、出力選択信号CAはインバータ18aによって反転され、出力選択信号CAとしてN型アンプ30aとP型アンプ50aの制御端子Bに与えられるようになっている。

【0048】同様に、比較器15bは、基準電圧VRとノードN2bの電圧を比較して、その比較結果を出力選択信号CBとしてN型アンプ30bとP型アンプ50bの制御端子Aに与えるものである。更に、出力選択信号CBはインバータ18bによって反転され、出力選択信

号CBとしてN型アンプ30bとP型アンプ50bの制御端子Bに与えられるようになっている。

【0049】その他の構成は、図1と同様である。この表示駆動回路では、図1と同様に、系統選択信号LOEによって2系統のサンプル/ホールド回路とアンプ回路が、交互に切り替えられる。

【0050】一方、アンプ回路においては、次のような動作が行われる。ノードN2aの電圧と基準電圧VRは、比較器15aによって比較される。ここで、ノードN2aの電圧が基準電圧VRよりも高ければ、比較器15aの比較結果の出力選択信号CAは“H”となる。これにより、N型アンプ30aが動作可能な状態となり、P型アンプ50aの動作は停止させられる。

【0051】逆にノードN2aの電圧が基準電圧VRよりも低ければ、比較結果の出力選択信号CAが“L”となり、N型アンプ30aの動作は停止させられ、P型アンプ50aが動作可能な状態となる。

【0052】以上のように、この第2の実施形態の表示駆動回路は、N型アンプ30a（または30b）とP型アンプ50a（または50b）を並列に接続し、出力選択信号CA（またはCB）によっていずれか一方のみを動作させるように構成している。これにより、第1の実施形態と同様に出力段の電流の抑制、即ち消費電力の低減が期待される。

【0053】更に、入力電圧INが基準電圧VRよりも高い場合にN型アンプ30a、30bを動作させ、入力電圧INが基準電圧VRよりも低い場合にP型アンプ50a、50bを動作させるようにしている。一般的に、N型アンプは入力電圧が高い範囲で精度良く動作し、P型アンプは入力電圧が低い範囲で精度良く動作するという特徴がある。これにより、入力電圧の広い範囲に亘って精度の良い動作が可能になるという利点がある。

【0054】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

（a）液晶表示装置に適用した表示駆動回路について説明したが、その他の方式の画像表示装置においても、表示信号をサンプリングして出力する表示駆動回路として適用可能である。

【0055】（b）図1及び図4のN型アンプ及びP型アンプの回路は一例であり、これに限定するものではない。それぞれ出力段が出力選択信号でオン/オフ制御されるスイッチ用のトランジスタ、入力信号に応じて導通状態が制御される動作のトランジスタ、及び定電流回路を構成するトランジスタを直列に接続した回路になっていれば、同様に適用可能である。

【0056】

【発明の効果】以上詳細に説明したように、第1の発明によれば、増幅手段は出力選択信号によってどちらか一方が選択されて出力段がオン状態となる第1及び第2の

11

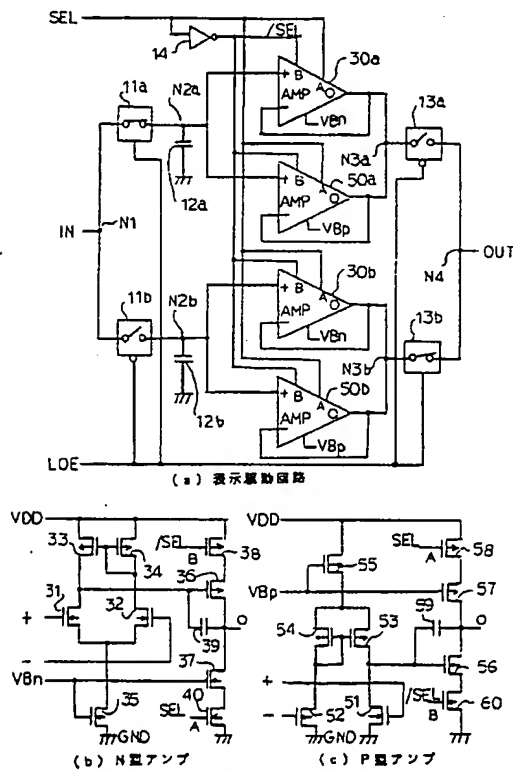
増幅器を有している。更に、これらの第1及び第2の増幅器の出力段は、定電流用のトランジスタと入力信号に応じて導通状態が変化するトランジスタを直列に接続した構成となっている。これにより、出力段に流れる電流が制限され、消費電力を低減することができる。

【0057】第2の発明によれば、第1の発明に、入力信号と基準電圧の比較結果に応じて、第1または第2の増幅器を選択する出力選択信号を出力するための比較器を設けている。これにより、第1と同様の効果に加えて、入力信号のレベルに対応した精度の良い増幅器を選

択することができるという効果がある。

【図面の簡単な説明】

(図1)



12

*【図1】本発明の第1の実施形態を示す表示駆動回路の構成図である。

【図2】従来の液晶表示装置の概略の構成図である。

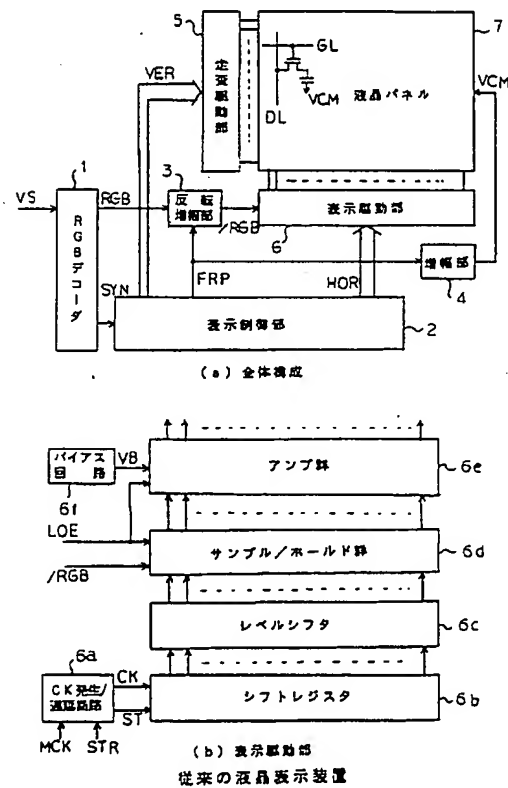
【図3】図2中の表示駆動回路の構成図である。

【図4】本発明の第2の実施形態を示す表示駆動回路の構成図である。

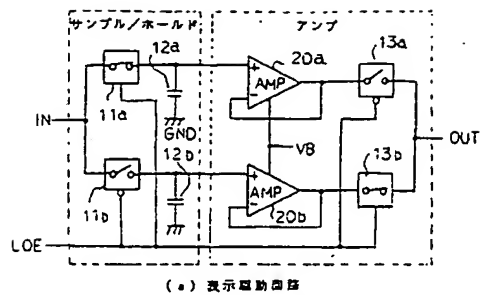
【符号の説明】

11a, 11b, 13a, 13b スイッチ
12a, 12b キャパシタ
15a, 15b 比較器
30a, 30b N型アンプ
50a, 50b P型アンプ

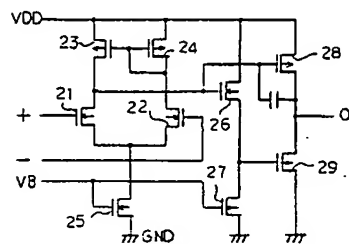
(図2)



【図3】



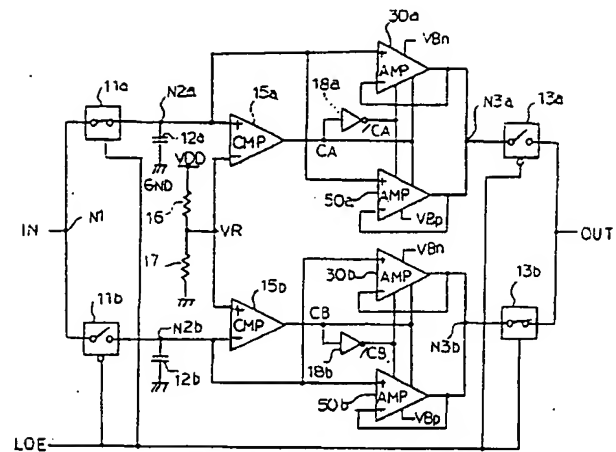
(a) 表示駆動回路



(b) アンプ

図2中の表示駆動回路

【図4】



本発明の第2の実施形態の表示駆動回路

フロントページの続き

(51)Int.Cl.
G09G 3/36

識別記号

FI
G09G 3/36

ターコード(参考)

F ターム(参考) 2H093 NC21 NC22 NC23 ND39
SC006 BB16 BC13 BF11 BF14 BF25
BF33 FA47
SC080 AA10 BB05 DD26 EE29 JJ02
JJ03

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] When the 2nd network is specified as the 1st sample hold means which inputs and holds the picture signal of an input node when the 1st network is specified by the network selection signal by said network selection signal The 2nd sample hold means which inputs and holds the picture signal of said input node, The 1st and the 2nd magnification means of amplifying the picture signal held with said 1st and 2nd sample hold means, respectively, When the 1st network is specified by said network selection signal, the output signal of said 2nd magnification means is outputted to an output node. In the display drive circuit equipped with an output means to output the output signal of said 1st magnification means to this output node when the 2nd network is specified by this network selection signal The transistor for a switch which said each 1st and 2nd magnification means will be in an ON state when an output selection signal is the 1st value, and will be in an OFF state at the time of the 2nd value, The 1st amplifier which has the output stage which connected to the serial the P type transistor from which switch-on changes according to the level of an input signal, and the N type transistor which passes a fixed current, The transistor for a switch which is connected to said 1st amplifier at juxtaposition, will be in an OFF state when said output selection signal is the 1st value, and will be in an ON state at the time of the 2nd value, The display drive circuit characterized by having the

2nd amplifier which has the output stage which connected to the serial the P type transistor which passes a fixed current, and the N type transistor from which switch-on changes according to the level of an input signal.

[Claim 2] The display drive circuit characterized by preparing the comparator which outputs the output selection signal of said 1st value to each 1st and 2nd magnification means in a display drive circuit according to claim 1 when this input signal is this more than reference voltage about an input signal as compared with reference voltage, and outputs the output selection signal of this 2nd value of the above when this signal level is this under reference voltage.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] In a liquid crystal display etc., this invention samples and holds an input signal and relates to the display drive circuit which drives a display based on the contents of maintenance.

[0002]

[Description of the Prior Art] Drawing 2 (a) and (b) are the block diagrams of the

outline of the conventional liquid crystal display, and are drawing in which this drawing's (a's)'s showing a whole configuration, and showing [this] the configuration of a display mechanical component (b). As shown in drawing 2 (a), this liquid crystal display consists of the RGB decoder 1, a display and control section 2, the reversal amplifier 3, the amplifier 4, a scan mechanical component 5, a display mechanical component 6, and a liquid crystal panel 7. The RGB decoder 1 generates the horizontal and vertical synchronizing signal SYN from a composite synchronizing signal while it divides the given video signal VS into a chrominance signal and a composite synchronizing signal and generates three kinds of signals, R (red), G (green), and B (blue), from a chrominance signal. A synchronizing signal SYN is given to a display and control section 2, and a chrominance signal RGB is given to the reversal amplifier 3.

[0003] A display and control section 2 generates the level control signal HOR for controlling actuation of the perpendicular control signal VER for controlling actuation of the field line reversal signal FRP which a polarity reverses for every field line, and the scan mechanical component 5 based on a synchronizing signal SYN, and the display mechanical component 6. The field line reversal signal FRP is given to the reversal amplifier 3 and an amplifier 4.

[0004] The reversal amplifier 3 reverses the polarity of the chrominance signal RGB given from the RGB decoder 1 for every frame, generates a reversal signal / RGB, and supplies it to the display mechanical component 6. According to the field line reversal signal FRP supplied from a display and control section 2, an amplifier 4 reverses the polarity of the common voltage signal VCM for every field and every 1 level period, and supplies it to a liquid crystal panel 7.

[0005] According to the perpendicular control signal VER supplied from a display and control section 2, the scan mechanical component 5 makes sequential selection of the gate line GL of a liquid crystal panel 7, and impresses a gate pulse to the selected gate line GL. The display mechanical component 6 samples and holds the reversal signal / RGB supplied from the reversal amplifier 3 by one line according to the level control signal HOR supplied from a display and control

section 2, and outputs the held picture signal to juxtaposition per one line at signal-line DL of a liquid crystal panel 7.

[0006] The liquid crystal panel 7 is equipped with the common electrode which counters the pixel electrode, TFT (Thin Film Transistor), and this pixel electrode which have been arranged in the shape of [of an i line j train] a matrix through liquid crystal. Each pixel electrode is connected to signal-line DL which corresponds through corresponding TFT. Moreover, the gate of TFT of each train is connected to the common gate line GL. By charging a charge through the gate line GL and signal-line DL at the pixel capacity CLC formed with a pixel electrode, a common electrode, and liquid crystal, a liquid crystal panel 7 controls the sense of liquid crystal, and displays an image.

[0007] As shown in drawing 2 (b), the display mechanical component 6 consists of CK generating / delay circuit 6a, shift register 6b, level-shifter 6c, 6d of sample hold groups, amplifier group 6e, and 6f of bias circuits.

[0008] CK generating / delay circuit 6a generates the sampling clock CK which chooses each pixel on one line based on the basic clock signal MCK supplied from a display and control section 2, and supplies it to shift register 6b. Moreover, CK generating / delay circuit 6a generates the start pulse ST which shows the timing of shift action initiation according to the data line start signal STR supplied from a display and control section 2, and supplies it to shift register 6b.

[0009] Shift register 6b is a n-bit shift register corresponding to several n of signal-line DL of a liquid crystal panel 7. Shift register 6b carries out a sequential shift while incorporating a start pulse ST according to a sampling clock CK, it generates the sampling pulse which shows the sampling timing of the video signal the 1st - for the n-th display dots on 1 scan line, and outputs it to juxtaposition at level-shifter 6c. Level-shifter 6c changes into the voltage level of a drive circuit system the sampling pulse supplied from shift register 6b from the voltage level of a logical circuit system, and supplies it to a sample / 6d of hold groups.

[0010] A sample / 6d of hold groups consist of n a sample/hold circuits

corresponding to each signal-line DL of a liquid crystal panel 7. A sample/hold circuit is equipped with two circuits, operates by turns according to the network selection signal LOE, samples a reversal signal / RGB according to the sampling pulse supplied through level-shifter 6c, and holds the sampled signal.

[0011] Amplifier group 6e consists of n amplifier circuits corresponding to each sample/hold circuit of a sample / 6d of hold groups. An amplifier circuit is equipped with two circuits and connected to the output side of each corresponding network of a sample/hold circuit. Any one line operates, and an amplifier circuit amplifies the picture signal which the sample/hold circuit holds, and outputs it to signal-line DL of a liquid crystal panel 7. 6f of bias circuits supplies bias voltage VB to each amplifier circuit of amplifier group 6e.

[0012] Drawing 3 (a) and (b) are the block diagrams of the display drive circuit in drawing 2 . This display drive circuit is equivalent to the sample / 6d of hold groups and the sample/hold circuit of amplifier group 6e in drawing 2 (b), and the amplifier circuit. Drawing 3 R> 3 (a) shows the block configuration of a display drive circuit, and this drawing (b) shows the configuration of the amplifier in this drawing (a).

[0013] As shown in drawing 3 (a), this display drive circuit is a circuit corresponding to one signal-line DL, and has the switches 11a and 11b with which input voltage IN is given. ON/OFF state is controlled by the network selection signal LOE complementary, and, as for Switches 11a and 11b, the capacitors 12a and 12b for electrical-potential-difference maintenance are connected among such output sides and touch-down potentials GND by it, respectively. Furthermore, the output side of Switches 11a and 11b is connected to the input side of Amplifier (AMP) 20a and 20b, respectively.

[0014] The output side of Amplifier 20a and 20b is connected to the input side of Switches 13a and 13b, respectively. ON/OFF state is controlled by the network selection signal LOE, when switch 11a is ON, switch 13b is turned on, and when switch 11b is ON, as for Switches 13a and 13b, switch 13a is controlled by ON. And common connection of the output side of Switches 13a and 13b is made,

and an output signal OUT is outputted from here.

[0015] Amplifier 20a and 20b is the same configuration, as shown in drawing 3 (b), it has + input terminal and - input terminal, and these input terminals are connected to the gate of the N-channel metal oxide semiconductor transistors (henceforth "NMOS") 21 and 22, respectively. The drain of NMOSes 21 and 22 is connected to the power-source potential VDD through P channel MOS transistors (henceforth "PMOS") 23 and 24, respectively. The gate of PMOSes 23 and 24 is connected to the drain of NMOS22. The source of NMOSes 21 and 22 is connected to the touch-down potential GND through NMOS25.

[0016] The drain of NMOS21 is connected to the gate of NMOS26, and the drain of this NMOS26 is connected to the power-source potential VDD. The source of NMOS26 is connected to the touch-down potential GND through NMOS27. Bias voltage VB is given to the gate of NMOS27 and 25 **.

[0017] The drain of NMOS21 is connected to the gate of PMOS28 which is an output buffer further. The source of PMOS28 is connected to the power-source potential VDD, and the drain is connected to the touch-down potential GND through NMOS29 which constitutes the output buffer of a push pull mold.

[0018] The gate of NMOS29 is connected to the source of NMOS26, and the connection place of the drain of this NMOS29 and the drain of PMOS28 serves as the output terminal O of amplifier.

[0019] In such a display drive circuit, when the network selection signal LOE is level"H", Switches 11a and 13b close and Switches 11b and 13a open. Thereby, input voltage IN is impressed to capacitor 12a. The input voltage IN charged by capacitor 12a is amplified by amplifier 20a, and the electrical potential difference corresponding to input voltage IN is outputted to the output terminal of this amplifier 20a. However, since switch 13a is open, the output voltage of amplifier 20a is not outputted as an output signal OUT. On the other hand, the electrical potential difference charged by capacitor 12b is amplified by amplifier 20b, and an output signal OUT is outputted through switch 13b from the output terminal of this amplifier 20b.

[0020] Next, if the network selection signal LOE changes to level "L", Switches 11a and 13b will open and Switches 11b and 13a will close. Thereby, capacitor 12a is separated from input voltage IN, and the electrical potential difference corresponding to the input voltage IN before this capacitor 12a charged and being amplified by amplifier 20a is outputted as output voltage OUT through switch 13a. On the other hand, the new input voltage IN is impressed to capacitor 12b, and the electrical potential difference corresponding to this new input voltage IN is outputted to the output side of amplifier 20b.

[0021] Thus, two a sample/hold circuits, and an amplifier circuit are prepared, and two lines are changed by turns and it is made to perform a sampling and a drive with the network selection signal LOE. Since it is not influenced by the charging time of Capacitors 12a and 12b but a liquid crystal panel 7 can always be driven by this, a speed of response can give a quick and high indication of brightness.

[0022]

[Problem(s) to be Solved by the Invention] However, the following technical problems occurred in the conventional display drive circuit. The amplifier 20a and 20b used for an amplifier circuit serves as a push pull mold with which an output stage consists of PMOS28 and NMOS29, as shown in drawing 3 (b). In the amplifier circuit of a push pull mold, when the gate voltage of two transistors (PMOS28 and NMOS29) to which the series connection of the output stage was carried out always changes, the current value which penetrates these transistors and flows changes at any time, and an output signal is outputted to an output terminal O by the balance. Thus, in the amplifier circuit of a push pull mold, the idle current always flowed to two transistors for buffers, PMOS28 and NMOS29, and the technical problem that power consumption became large occurred.

[0023] This invention solves the technical problem which said conventional technique had, and offers few display drive circuits of power consumption.

[0024]

[Means for Solving the Problem] In order to solve said technical problem, the 1st

invention of this inventions When the 2nd network is specified as the 1st sample hold means which inputs and holds the picture signal of an input node when the 1st network is specified by the network selection signal by said network selection signal The 2nd sample hold means which inputs and holds the picture signal of said input node, The 1st and the 2nd magnification means of amplifying the picture signal held with said 1st and 2nd sample hold means, respectively, When the 1st network is specified by said network selection signal, the output signal of said 2nd magnification means is outputted to an output node. When the 2nd network is specified by this network selection signal, in the display drive circuit equipped with an output means to output the output signal of said 1st magnification means to this output node, each 1st and 2nd magnification means are equipped with the 1st and 2nd following amplifier.

[0025] That is, the 1st amplifier has the output stage which connected to the serial the transistor for a switch which will be in-an ON state and will be in an OFF state at the time of the 2nd value, the P type transistor from which switch-on changes according to the level of an input signal, and the N type transistor which passes a fixed current, when an output selection signal is the 1st value.

Moreover, the 2nd amplifier is connected to the 1st amplifier at juxtaposition, and when said output selection signal is the 1st value, it has the output stage which connected to the serial the transistor for a switch which will be in an OFF state and will be in an ON state at the time of the 2nd value, the P type transistor which passes a fixed current, and the N type transistor from which switch-on changes according to the level of an input signal.

[0026] According to the 1st invention, since the display drive circuit was constituted as mentioned above, the following operations are performed. When an output selection signal is the 1st value, the transistor for the switch of the 1st amplifier within each magnification means is turned on, and the picture signal held with the sample hold means is amplified with this 1st amplifier. When an output selection signal is the 2nd value, the transistor for the switch of the 2nd amplifier within each magnification means is turned on, and the picture signal

held with the sample hold means is amplified with this 2nd amplifier.

[0027] The 2nd invention outputted the output selection signal of said 1st value to each 1st and 2nd magnification means in the display drive circuit of the 1st invention, when this input signal was this more than reference voltage about an input signal as compared with reference voltage, and when this signal level is this under reference voltage, it has prepared the comparator which outputs the output selection signal of this 2nd value of the above.

[0028] According to the 2nd invention, the following operations are performed. In each magnification means, the picture signal held with the sample hold means is compared by the comparator, and with reference voltage [more than], the output selection signal of the 1st value is outputted. Thereby, a picture signal is amplified with the 1st amplifier within a magnification means. Moreover, with [a picture signal] reference voltage [under], the output selection signal of the 2nd value is outputted from a comparator, and this picture signal is amplified with the 2nd amplifier within a magnification means.

[0029]

[Embodiment of the Invention] (1st operation gestalt) Drawing 1 (a) - (c) is the block diagram of a display drive circuit showing the 1st operation gestalt of this invention, this drawing (a) shows the block configuration of this display drive circuit, and this drawing (b) and (c) show the circuit of the N type amplifier in this drawing (a), and P type amplifier, respectively. This display drive circuit is replaced with and used for the display drive circuit of drawing 3 in the display mechanical component 6 in the liquid crystal display of drawing 2 , and the common sign is given to the element in drawing 3 , and the common element.

[0030] As shown in drawing 1 (a), as for this display drive circuit, the input side of Switches 11a and 11b is connected to the node N1 to which input voltage IN is given in common. Switches 11a and 11b consist of transistors for switches, such as the transfer gate, and ON/OFF state is controlled by the network selection signal LOE complementary. For example, when the network selection signal LOE is "H", it turns on, and Switches 11a and 11b are set up, respectively so that it

may become off. The output side of Switches 11a and 11b is connected to node N2a and N2b, respectively, and the capacitors 12a and 12b for electrical-potential-difference maintenance are connected between these node N2a, N2b, and the touch-down potential GND, respectively.

[0031] + input terminal of N type amplifier 30a and P type amplifier 50a by which voltage FAROA connection was made is connected to node N2a, and the output terminal of such N type amplifier 30a and P type amplifier 50a is connected to node N3a. Similarly + input terminal of N type amplifier 30b and P type amplifier 50b by which voltage FAROA connection was made is connected to node N2b, and the output terminal of such N type amplifier 30b and P type amplifier 50b is connected to node N3b.

[0032] The N type amplifier 30a and 30b is the same configuration, and has the control terminals A and B with which the output selection signal SEL, the output selection signal which reversed this with the inverter 14 / SEL is given, respectively, and the bias terminal with which bias voltage VBn is given. Moreover, the P type amplifier 50a and 50b is the same configuration, and has the control terminals A and B with which the output selection signals SEL/SEL are given, respectively, and the bias terminal with which bias voltage VBp is given.

[0033] The input side of Switches 13a and 13b is connected to node N3a and N3b, respectively, and the output side of these switches 13a and 13b is connected to the node N4. Switches 13a and 13b are the same as Switches 11a and 11b, and when the network selection signal LOE is "H", they are set up so that it may become OFF and ON, respectively. And an output signal OUT is outputted from a node N4.

[0034] As shown in drawing 1 (b), the N type amplifier 30a and 30b has + input terminal and - input terminal, and is connected to the gate of NMOSes 31 and 32 where these input terminals constitute a differential amplifying circuit, respectively. The drain of NMOSes 31 and 32 is connected to the power-source potential VDD through PMOSes 33 and 34, respectively. The gate of PMOSes 33

and 34 is connected to the drain of NMOS32. The source of NMOSes 31 and 32 is connected to the touch-down potential GND through NMOS35 which constitutes a current regulator circuit.

[0035] The drain of NMOS31 is connected to the gate of PMOS36 for actuation, and the source of this PMOS36 is connected to the touch-down potential GND through NMOS37 which constitutes a current regulator circuit, and NMOS40 for a switch controlled by the output selection signal SEL. The drain of PMOS36 is connected to the power-source potential VDD through PMOS38 for a switch controlled by the output selection signal / SEL. Bias voltage VBn is given to the gate of NMOSes 35 and 37. The capacitor 39 for phase compensation is connected between the gate of PMOS36, and a drain, and the drain of this PMOS36 serves as the output terminal O of N type amplifier.

[0036] As shown in drawing 1 (c), the P type amplifier 50a and 50b has + input terminal and - input terminal, and is connected to the gate of NMOSes 51 and 52 where these input terminals constitute a differential amplifying circuit, respectively. The source of NMOSes 51 and 52 is connected to the touch-down potential GND, and the drain of these NMOSes 51 and 52 is connected to the drain of PMOSes 53 and 54, respectively. The gate of PMOSes 53 and 54 is connected to the drain of NMOS52, and the source is connected to the power-source potential VDD through PMOS55 which constitutes a current regulator circuit.

[0037] The drain of NMOS51 is connected to the gate of NMOS56 for actuation, and the source of this NMOS56 is connected to the touch-down potential GND through NMOS60 for a switch controlled by the output selection signal / SEL. The drain of NMOS56 is connected to the drain of PMOS57 which constitutes a current regulator circuit, and the source of this PMOS57 is connected to the power-source potential VDD through PMOS58 for a switch controlled by the output selection signal SEL. Bias voltage VBp is given to the gate of PMOSes 55 and 57. The capacitor 59 for phase compensation is connected between the gate of NMOS56, and a drain, and the drain of this NMOS56 serves as the output

terminal O of P type amplifier.

[0038] Next, actuation is explained. In this display drive circuit, as for the network selection signal LOE, "H" and the level of "L" are changed for every 1 horizontal-scanning period.

[0039] Switches 11a and 13b are turned on by the network selection signal LOE at the period of "H", and Switches 11b and 13a become off. Thereby, node N2a is connected with a node N1, and input voltage IN is held at capacitor 12a.

Moreover, while node N2b is separated from a node N1, node N3b is connected to a node N4, and the electrical potential difference currently held at capacitor 12b at the last period is amplified by N type amplifier 30b or P type amplifier 50b, and is outputted as an output signal OUT from a node N4.

[0040] Next, if the network selection signal LOE is set to "L", Switches 11a and 13b will become off, and Switches 11b and 13a will be turned on. Thereby, while node N2a is separated from a node N1, node N3a is connected to a node N4, and the electrical potential difference on which the network selection signal LOE was held at capacitor 12a at the period of "H" is amplified by N type amplifier 30a or P type amplifier 50a, and is outputted as an output signal OUT from a node N4. Moreover, node N2b is connected with a node N1, and input voltage IN is held at capacitor 12b.

[0041] On the other hand, the output selection signal SEL is a period shorter than the period of 1 horizontal-scanning period, and "H" and "L" are changed.

[0042] With the N type amplifier 30a and 30b, when the output selection signal SEL is "H", as shown in drawing 1 (b), the output selection signal SEL is impressed to the gate of NMOS40, and an output selection signal / SEL (namely, "L") is impressed to the gate of PMOS38. Thereby, PMOS38 and NMOS40 will be in an ON state. On the other hand, with the P type amplifier 50a and 50b, since the output selection signal SEL is impressed to the gate of PMOS58 and an output selection signal / SEL is impressed to the gate of NMOS60 as shown in drawing 1 (c), these PMOS58 and NMOS60 will be in an OFF state. Therefore, the N type amplifier 30a and 30b will be in the condition that it can operate, and

actuation of the P type amplifier 50a and 50b will be stopped.

[0043] Conversely, when the output selection signal SEL is "L", it will be in the condition that the P type amplifier 50a and 50b can operate, and actuation of the N type amplifier 30a and 30b will be stopped.

[0044] As mentioned above, the display drive circuit of this 1st operation gestalt connects N type amplifier 30a (or 30b) and P type amplifier 50a (or 50b) to juxtaposition, and it constitutes them so that only either may be operated with the output selection signals SEL/SEL. NMOS37 of an output stage serves as a constant current source which passes a fixed current with bias voltage VBn, and the N type amplifier 30a and 30b serves as a buffer for actuation with which PMOS36 determines output voltage. Moreover, PMOS57 of an output stage serves as a constant current source which passes a fixed current with bias voltage VBp, and the P type amplifier 50a and 50b serves as a buffer for actuation with which NMOS56 determines output voltage. Therefore, the current of these output stages is decided according to a constant current source. For this reason, control of the current of an output stage, i.e., reduction of power consumption, is expected rather than the amplifier of the push pull mold with which two buffers operate continuously.

[0045] (2nd operation gestalt) Drawing 4 is the block diagram of a display drive circuit showing the 2nd operation gestalt of this invention. This display drive circuit is replaced with and used for the display drive circuit of drawing 3 in [the display mechanical component 6 in the liquid crystal display of drawing 2] as well as [the display drive circuit of drawing 1]. In this drawing 4 , the common sign is given to the element in drawing 1 , and the common element.

[0046] He forms Comparators (CMP) 15a and 15b, and is trying to give the signal of the comparison result of these comparators 15a and 15b to the control terminal of the N type amplifier 30a and 30b and the P type amplifier 50a and 50b as the output selection signal CA, /CACB, and /CB in this display drive circuit, as shown in drawing 4 .

[0047] Namely, comparator 15a compares with the electrical potential difference

of node N2a the reference voltage VR pressured partially and generated by the resistance 16 and 17 for partial pressures, and gives it to the control terminal A of N type amplifier 30a and P type amplifier 50a by making the comparison result into the output selection signal CA. Furthermore, inverter 18a is reversed and the output selection signal CA is given to the control terminal B of N type amplifier 30a and P type amplifier 50a as an output selection signal / a CA.

[0048] Similarly, comparator 15b compares reference voltage VR with the electrical potential difference of node N2b, and gives it to the control terminal A of N type amplifier 30b and P type amplifier 50b by making the comparison result into the output selection signal CB. Furthermore, inverter 18b is reversed and the output selection signal CB is given to the control terminal B of N type amplifier 30b and P type amplifier 50b as an output selection signal / CB.

[0049] Other configurations are the same as that of drawing 1 . In this display drive circuit, two a sample/hold circuits, and an amplifier circuit are changed by turns by the network selection signal LOE like drawing 1 .

[0050] On the other hand, the following actuation is performed in an amplifier circuit. The electrical potential difference and reference voltage VR of node N2a are compared by comparator 15a. Here, if the electrical potential difference of node N2a is higher than reference voltage VR, the output selection signal CA of the comparison result of comparator 15a will serve as "H". This will be in the condition that N type amplifier 30a can operate, and actuation of P type amplifier 50a will be stopped.

[0051] Conversely, if the electrical potential difference of node N2a is lower than reference voltage VR, the output selection signal CA of a comparison result is set to "L", it is stopped and actuation of N type amplifier 30a will be in the condition that P type amplifier 50a can operate.

[0052] As mentioned above, the display drive circuit of this 2nd operation gestalt connects N type amplifier 30a (or 30b) and P type amplifier 50a (or 50b) to juxtaposition, and it constitutes them so that only either may be operated with the output selection signal CA (or CB). Thereby, control of the current of an output

stage, i.e., reduction of power consumption, is expected like the 1st operation gestalt.

[0053] Furthermore, when input voltage V_{IN} is higher than reference voltage V_R , the N type amplifier 30a and 30b is operated, and when input voltage V_{IN} is lower than reference voltage V_R , he is trying to operate the P type amplifier 50a and 50b. Generally, N type amplifier operates with a sufficient precision in the range where input voltage is high, and P type amplifier has the description of operating with a sufficient precision, in the range where input voltage is low. There is an advantage that this covers the range where input voltage is large, and accurate actuation is attained.

[0054] In addition, this invention is not limited to the above-mentioned operation gestalt, but various deformation is possible for it. As this modification, there is the following, for example.

(a) Although the display drive circuit applied to the liquid crystal display was explained, also in the image display device of other methods, it is applicable as a display drive circuit which samples and outputs a status signal.

[0055] (b) The circuit of drawing 1, the N type amplifier of drawing 4, and P type amplifier is an example, and don't limit it to this. If the output stage is the circuit which connected to the serial the transistor for a switch by which ON / off control is carried out by the output selection signal, the transistor for actuation by which switch-on is controlled according to an input signal, and the transistor which constitutes a current regulator circuit, respectively, it is applicable similarly.

[0056]

[Effect of the Invention] As explained to the detail above, according to the 1st invention, the magnification means has the 1st and 2nd amplifier from which either will be chosen from and an output stage will be in an ON state with an output selection signal. Furthermore, the output stage of these 1st and 2nd amplifiers has the composition of having connected to the serial the transistor for constant current, and the transistor from which switch-on changes according to an input signal. The current which flows to an output stage is restricted by this,

and power consumption can be reduced.

[0057] According to the 2nd invention, the comparator for outputting the output selection signal which chooses the 1st or 2nd amplifier as the 1st invention according to the comparison result of an input signal and reference voltage is prepared. Thereby, in addition to the same effectiveness as the 1st, it is effective in the ability to choose amplifier with a sufficient precision corresponding to the level of an input signal.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of a display drive circuit showing the 1st operation gestalt of this invention.

[Drawing 2] It is the block diagram of the outline of the conventional liquid crystal display.

[Drawing 3] It is the block diagram of the display drive circuit in drawing 2 .

[Drawing 4] It is the block diagram of a display drive circuit showing the 2nd operation gestalt of this invention.

[Description of Notations]

11a, 11b, 13a, 13b Switch

12a, 12b Capacitor

15a, 15b Comparator

30a, 30b N type amplifier

50a, 50b P type amplifier

[Translation done.]

*** NOTICES ***

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

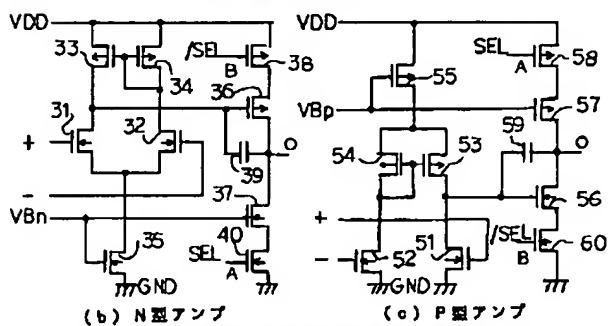
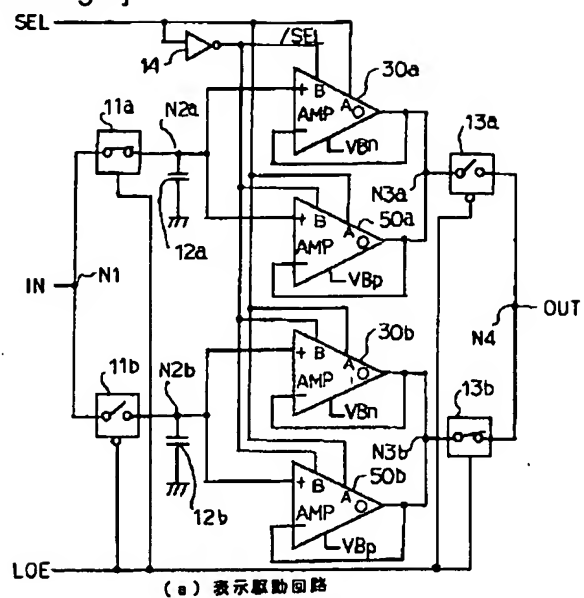
1. This document has been translated by computer. So the translation may not
reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

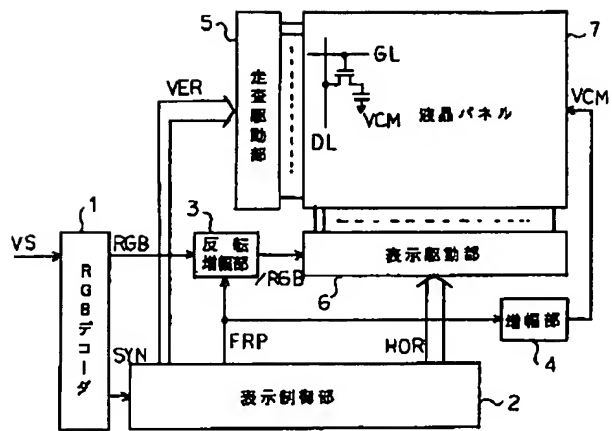
DRAWINGS

[Drawing 1]

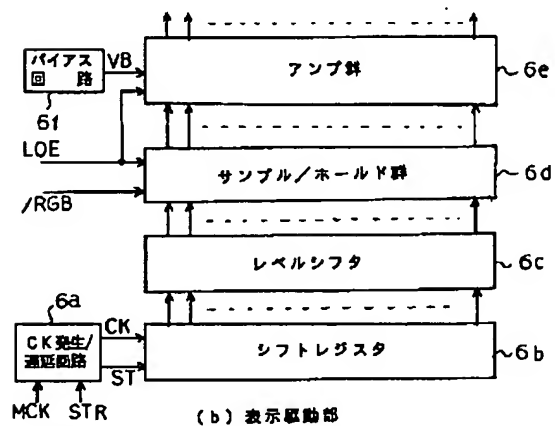


本発明の第1の実施形態の表示駆動回路

[Drawing 2]



(a) 全体構成



(b) 表示駆動部
従来の液晶表示装置

[Drawing 3]

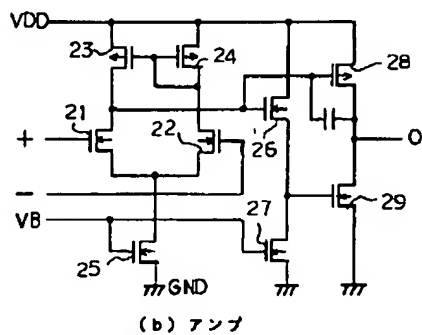
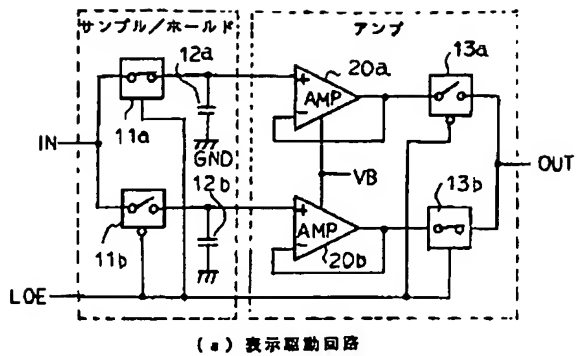
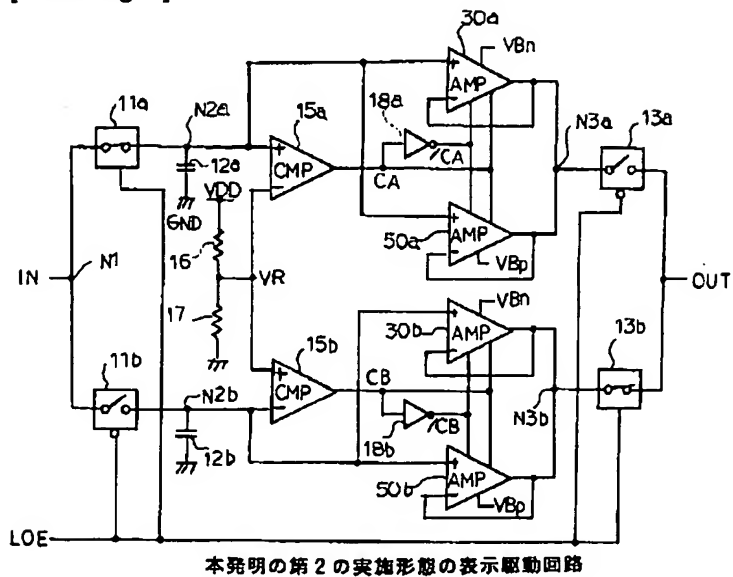


図 2 中の表示駆動回路

[Drawing 4]



[Translation done.]